

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-258599

(43)Date of publication of application : 08.10.1993

(51)Int.Cl.

G11C 29/00
G01R 31/318
G06F 1/04
H01L 21/66
H01L 27/10

(21)Application number : 03-295362

(71)Applicant : NEC CORP

(22)Date of filing : 12.11.1991

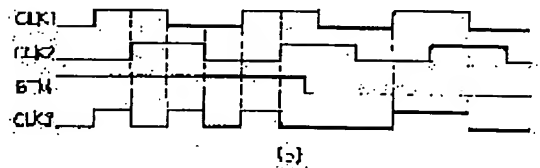
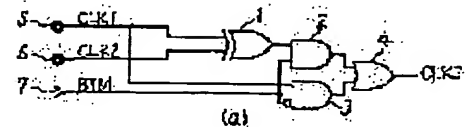
(72)Inventor : TAGAYA MITSUE

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PURPOSE: To apply a stress equal to a conventional stress on a unit bit without prolonging a burn-in time through the stress applied on the unit bit is decreased as a memory capacity is increased.

CONSTITUTION: When a burn-in mode setting signal BTM is set to high level, by two 2 input logical AND circuits 2 and 3 and a logical OR circuit 4 to input the outputs of the circuits 2 and 3 as two inputs, a frequency is doubled by taking an exclusive-OR between a normal operating memory access clock signal CLK1 and a clock signal CLK2 which is used to a memory access at the time of a burn-in operation in a conventional semiconductor storage device. And a circuit, which outputs the signal as memory access clock signal CLK3 at the time of a burn-in, is provided.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-258599

(43)公開日 平成5年(1993)10月8日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 29/00	3 0 3 B	9288-5L		
G 0 1 R 31/318				
G 0 6 F 1/04	3 0 1 F	7368-5B		
H 0 1 L 21/66	W	8406-4M		
		6912-2G		

G 0 1 R 31/ 28 B
審査請求 未請求 請求項の数 5 (全 4 頁) 最終頁に続く

(21)出願番号 特願平3-295362

(22)出願日 平成3年(1991)11月12日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 多賀谷 充恵

東京都港区芝五丁目7番1号日本電気株式
会社内

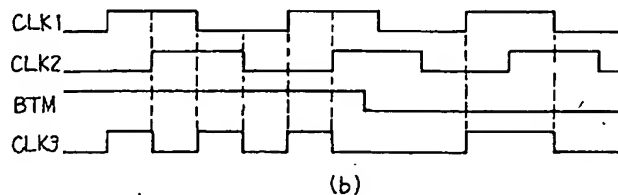
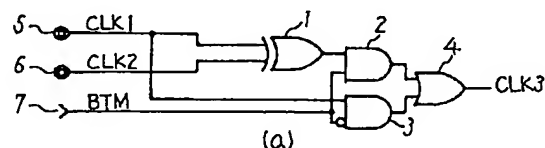
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】メモリの大容量化に伴い単位ビット当りにかかるストレスが軽減されてくるのをバーンイン時間を延ばすことなくしかも従来と同等のストレスが加わるようにする。

【構成】2つの2入力論理積回路2および3とこれらの出力信号を2入力とする論理和回路4とによって、バーンインモード設定信号BTMがハイレベルの時に、通常動作時のメモリアクセスクロック信号CLK1と従来の半導体記憶装置ではバーンイン時のメモリアクセスに用いられていたクロック信号CLK2との排他的論理和をとって周波数を2倍にし、バーンイン時のメモリアクセスクロック信号CLK3として出力する回路を設ける。



1 : 排他的論理和回路
2, 3 : 論理積回路
4 : 論理和回路
5, 6 : クロック信号入力端子
7 : テスト信号入力端子

1

【特許請求の範囲】

【請求項1】 バーンインモードであるか否かを判定し、メモリアクセスクロックの周波数を切り替える回路を有することを特徴とする半導体記憶装置。

【請求項2】 バーンインモードおよび通常動作モードに対応した電位レベルを有する二値制御信号と、外部から入力される第1のクロック信号と、外部から入力される第2のクロック信号とを入力とし、前記制御信号の電位レベルに応じて、前記第1のクロック信号と前記第2のクロック信号との排他的論理和信号および前記第1のクロック信号のいずれか一方を選択して出力する回路を有することを特徴とする半導体記憶装置。

【請求項3】 外部から入力される第1のクロック信号と、外部から外部から入力される第2のクロック信号とを入力とする排他的論理和回路と、前記排他的論理和回路の出力信号と、バーンインモードおよび通常動作モードに対応した電位レベルを有する二値制御信号とを入力とする第1の論理積回路と、前記第1のクロック信号と、前記制御信号の反転信号とを入力とする第2の論理積回路と、前記第1の論理積回路の出力信号と、前記第2の論理積回路の出力信号とを入力とする論理和回路とからなる回路を有することを特徴とする半導体記憶装置。

【請求項4】 バーンインモードおよび通常動作モードに対応した電位レベルを有する二値制御信号と、外部から入力されるクロック信号と、内蔵された発振回路の出力信号とを入力とし、前記制御信号の電位レベルに応じて前記発振回路の出力信号および前記クロック信号のいずれか一方を選択して出力する回路を有することを特徴とする半導体記憶装置。

【請求項5】 バーンインモードおよび通常動作モードに対応した電位レベルを有する二値制御信号の反転信号と、外部から入力されるクロック信号とを入力とする第1の論理積回路と、前記二値制御信号と、内蔵された発振回路の出力信号とを入力とする第2の論理積回路と、前記第1の論理積回路の出力信号と、前記第2の論理積回路の出力信号とを入力とする論理和回路とからなる回路を有することを特徴とする半導体記憶回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体記憶装置に関する。

【0002】

【従来の技術】 ICの製造工程におけるスクリーニングとして初期不良を取り除く目的や、ICの信頼性試験における寿命試験の目的で、製品に高温・高電圧ストレスを印加するバーンインを実施する。バーンインにはスタ

2

ティックバーンインとダイナミックバーンインの2通りがあるが、本発明の対象となるのは、製品を動作状態にして行うダイナミックバーンインである。

【0003】ダイナミックバーンイン実行時には、外部より入力されたある一定サイクルのクロックをそのまま利用して1ワード分のデータをアクセスする。ところがこの外部より入力されるクロックとしては、メモリの高速化に関わらず常に一定のサイクルで使用しているので、最近の高速化されたメモリの実使用時の1ワード分のデータのアクセス動作時間に対し、バーンイン時のアクセス動作時間が10倍位になってきている。

【0004】その上、近年メモリの大容量化されているにも関わらずバーンインの実施時間は変わっていないので、実使用状態に比べバーンインによる単位ビット当りにかかるストレスが軽減されている傾向にある。

【0005】

【発明が解決しようとする課題】 上述したような従来の半導体記憶装置におけるバーンインでは、メモリが更に大容量化した場合、バーンイン実施時間を現状と同じままとすると単位ビット当りにかかるストレスが軽減されるので、信頼性試験における寿命試験やスクリーニング効果が望めなくなってしまう。また、仮に単位ビット当りにかかるストレスを現状と同じままにするためには、バーンイン実施時間を延長しなければならないという問題点があった。

【0006】

【課題を解決するための手段】 本発明の半導体記憶装置は、バーンインモードであるか否かを判定し、メモリアクセスクロックの周波数を切り替える回路を有することを特徴としている。

【0007】

【実施例】 次に、本発明の最適な実施例について図面を参照して説明する。図1(a)は本発明の第1の実施例の構成を示すブロック図である。

【0008】 図1(a)を参照すると、本実施例は、排他的論理和回路1と、この排他的論理和回路1の出力信号を1つの入力とする2入力の論理積回路2と、もう1つの2入力論理積回路3と、これら2つの論理積回路2および論理積回路3の出力信号を入力とする2入力論理和回路4とからなっている。

【0009】そして、排他的論理和回路1は、一方の入力端がクロック信号入力端子5に接続されもう一方の入力端がクロック信号入力端子6に接続されている。クロック信号入力端子5には、メモリの通常動作時に用いられるメモリアクセス用外部クロック信号CLK1が入力されており、クロック信号入力端子6には、チップの外部から他のピンを介してバーンイン用のクロック信号CLK2が入力されている。

【0010】2入力論理積回路2は、一方の入力端が排他的論理和回路1の出力端に接続され、もう一方の入力

端がテスト信号入力端子7に接続されている。このテスト信号入力端子7にはチップ上で発生されるバーンインモード設定信号B T Mが入力される。このバーンインモード設定信号B T Mは従来の半導体記憶装置にも用いられているものであって、半導体記憶装置をバーンインするには電源電圧を通常動作時より高くすることを利用してこの電源電圧の変化を検知することによって、半導体記憶装置が通常動作モードにあるか又はバーンインモードにあるかを示すものである。本実施例では、通常動作時にはバーンインモード設定信号B T Mがロウレベルになり、バーンイン時にはハイレベルになる。

【0011】本実施例は、テスト信号入力端子7に入力されるバーンインモード設定信号B T Mのレベルによってバーンインモードが否かを判定する。そして、バーンインモードでない場合には、クロック入力信号端子5に入力されるクロック信号C L K 1をそのまま出力のクロック信号C L K 3としてメモリをアクセスする。一方、バーンインモードである時には、クロック信号C L K 1とクロック信号C L K 2との排他的論理和を取ることによって通常動作時に比べて周波数を高くしたクロック信号C L K 3を出力してメモリをアクセスする。本実施例の場合は、以下に説明するように、メモリアクセス周波数を2倍にしている。

【0012】以下に、本実施例の回路動作について図1(b)に示すタイミングチャートを用いて説明する。まず、バーンインモードである時には、バーンインモード設定信号B T Mがバイレベルになる。この結果、論理積回路3は一方の入力端にロウレベルの信号が入力されることになるので、クロック信号C L K 1の如何に関らず必ずロウレベルの信号を出力する。一方、論理積回路2は一方の入力端にハイレベルの信号が入力されることになるので、排他的論理和回路1の出力信号を論理和回路4に伝送する。そして、論理和回路4は、一方の入力端に論理積回路3からのロウレベル信号が入力されるので、論理積回路2の出力信号すなわち、クロック信号C L K 1とクロック信号C L K 2との排他的論理和信号をクロック信号C L K 3として出力する。この時、図1(b)に示すように、クロック信号C L K 1とクロック信号C L K 2を、デューティファクタが1/2で同じであり周波数も同じであるようにして半パルス幅だけずれるように入力すると、クロック信号C L K 2の2倍の周波数のクロック信号C L K 3が得られる。

【0013】一方、通常動作モードでは、バーンインモード設定信号B T Mがロウレベルになる。この結果、論理積回路2は一方の入力端にロウレベルの信号が入力されることになるので、排他的論理和回路1の出力信号の如何に関らず必ずロウレベルの信号を出力する。一方、論理積回路3は一方の入力端にハイレベルの信号が入力されることになるので、クロック信号C L K 1を論理和回路4に伝送する。そして、論理和回路4は一方の

入力端に論理積回路2からのロウレベルが入力されるので、論理和回路3の出力信号すなわちクロック信号C L K 1をクロック信号C L K 3として出力する。

【0014】このように、本実施例によれば、バーンインモード設定信号B T Mの電位レベルに応じてクロック信号の周波数を切り替えて、クロック信号C L K 1およびクロック信号C L K 2よりも高い周波数でバーンインを実行することができる。

【0015】次に本発明の第2の実施例について述べる。図2(a)は、本発明の第2の実施例の構成を示すブロック図である。図2(a)を参照すると、本実施例が第1の実施例と異なるのは論理積回路2の入力信号である。本実施例においては、図1(a)における排他的論理和回路1の出力信号の代りに発振回路8からのクロック信号O S Cが論理積回路2の入力端に入力されているので、第1の実施例におけると同様の回路動作によって、バーンインモード設定信号B T Mの電位レベルに応じて、クロック信号C L K 1およびクロック信号O S Cのいずれか一方がクロック信号C L K 3として出力される。従って、図2(b)に示すように、発振回路8からのクロック信号O S Cの周波数をクロック信号C L K 1の周波数よりも高いものにしておけば、バーンイン時のクロック周波数を高くしてテストを効率的に実施することができる。ここで、半導体記憶装置には通常チップ上に、メモリアクセス用の外部クロック信号C L K 1よりも周波数の高いクロック信号を発生する発振回路が内蔵されているので、この発振回路を利用すれば本発明の実施のために特別に発振回路を設ける必要はなく、外部から入力しなければならないクロック信号を減らすことができる。

【0016】

【発明の効果】以上説明したように、本発明の半導体記憶装置は、バーンインモード時にメモリアクセスクロックの周波数を高い周波数に切り替えることによって外部クロック1サイクル中に複数ワード分のデータをアクセスすることを可能にする回路を備えている。

【0017】このことにより本発明によれば、メモリが大容量化した場合でも、現状と同じバーンイン実施時間で単位ビット当りに従来と同じストレスをかけることができる。

【図面の簡単な説明】

【図1】分図(a)は、本発明の第1の実施例の構成を示すブロック図である。分図(b)は、分図(a)に示す実施例の動作を説明するためのタイミングチャートを示すである。

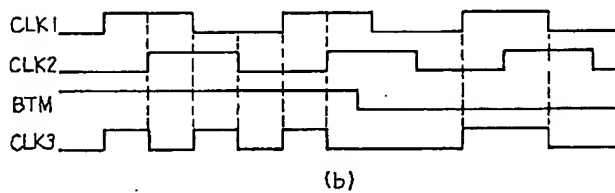
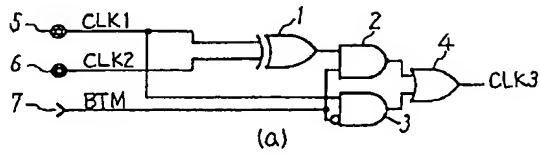
【図2】分図(a)は、本発明の第2の実施例の構成を示すブロック図である。分図(b)は、分図(a)に示す実施例の動作を説明するためのタイミングチャートを示す図である。

【符号の説明】

- 5
1 排他的論理和回路
2, 3 論理積回路
4 論理和回路

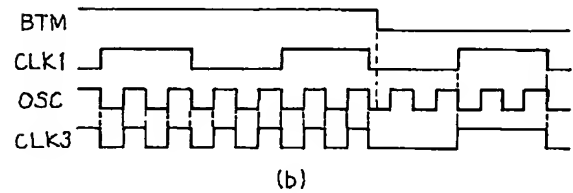
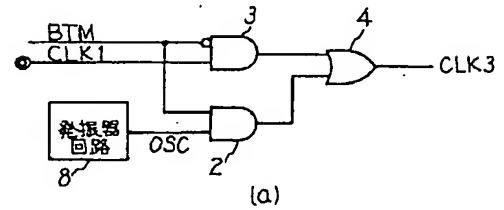
- 6
5, 6 クロック信号入力端子
7 テスト信号入力端子
8 発振回路

【図 1】



- 1 : 排他的論理和回路
2, 3 : 論理積回路
4 : 論理和回路
5, 6 : クロック信号入力端子
7 : テスト信号入力端子

【図 2】



フロントページの続き

(51) Int.Cl.⁵
H 0 1 L 27/10

識別記号
4 8 1

庁内整理番号
8728-4M

F I

技術表示箇所

[CLAIMS]

1. A semiconductor storage device comprising a circuit for judging whether the device is in a burn-in mode or not and changing a frequency of a memory access clock.
- 5 2. A semiconductor storage device comprising a circuit for: receiving a control signal having two potential levels corresponding to a burn-in mode and a normal operation mode, a first clock signal inputted from outside, and a second clock signal inputted from outside;
10 and selecting and outputting either an exclusive-ORed signal of the first clock signal or the second clock signal or the first clock signal in accordance with the potential levels of the control signal.
- 15 3. A semiconductor storage device comprising a circuit consisting of: an exclusive-OR circuit for receiving a first clock signal inputted from outside and a second clock signal inputted from outside; a first AND circuit for receiving an output signal of the exclusive-OR
20 circuit and a control signal having two potential levels corresponding to a burn-in mode and a normal operation mode; a second AND circuit for receiving the first clock signal and an inverted signal of the control signal; and an OR circuit for receiving an output signal of the first AND circuit and an output signal of the second AND
25 circuit.
- 30 4. A semiconductor storage device comprising a circuit for: receiving a control signal having two potential levels corresponding to a burn-in mode and a normal operation mode, a clock signal inputted from outside, and an output signal of a built-in oscillation circuit; and selecting and outputting either an output signal of the oscillation circuit or the clock signal in accordance with the potential levels of the control signal.
- 35 5. A semiconductor storage device comprising a circuit consisting of: a first AND circuit for receiving an inverted signal of a control signal having two potential levels corresponding to a burn-in mode and a normal

operation mode and a clock signal inputted from outside;
a second AND circuit for receiving the control signal and
an output signal of a built-in oscillation circuit; and
an OR circuit for receiving an output signal of the first
5 AND circuit and an output signal of the second AND
circuit.

[DETAILED DESCRIPTION OF THE INVENTION]

[0001]

10 [Field of industrial application]

The present invention relates to a semiconductor storage
device.

[0002]

15 [Prior art]

Burn-in, in which a high-temperature and high-voltage
stress is applied to a product, is conducted for the
purpose of removing the initial defect through the
screening in the manufacturing process of an IC or for
20 the purpose of conducting the life test in a reliability
test of an IC. Burn-in includes static burn-in and
dynamic burn-in and the object of the present invention
is the dynamic burn-in, which is conducted while a
product is in operation.

25

[0003]

At the time of a dynamic burn-in operation, data
corresponding to one word is accessed by the use of the
clock as it is of a certain cycle inputted from the
30 outside. However, as a clock inputted from the outside is
always used at a fixed cycle regardless of the increased
speed of a memory, the accessing time at the time of a
burn-in operation becomes about ten times as long as the
accessing time required for a recent memory increased in
35 speed to access data corresponding to one word in actual
use.

[0004]

Moreover, as the period of time for a burn-in operation remains unchanged regardless of the increased capacity of a recent memory, there is a tendency for the stress
5 applied to a unit bit at the time of a burn-in operation to decrease compared to that in actual use.

[0005]

[Problem to be solved by the invention]

10 When a memory is further increased in capacity, and if the current period of time for a burn-in operation is left unchanged, the stress applied to a unit bit is reduced in the burn-in of the above-mentioned
15 conventional semiconductor storage device and therefore the effect of the life test in a reliability test or the screening effect can be expected no longer. Moreover, if it is intended to maintain the current stress applied to a unit bit, there arises a problem: the period of time
20 for a burn-in operation needs to be lengthened.

[0006]

[Means for solving problem]

The semiconductor storage device according to the present invention comprises a circuit for judging whether the
25 device is in a burn-in mode or not and changing the frequency of a memory access clock to another.

[0007]

[DESCRIPTION OF THE PREFERRED EMBODIMENTS]

30 The embodiments of the present invention are explained below with reference to drawings. Fig.1(a) is a block diagram showing the configuration of a first embodiment of the present invention.

35 [0008]

Referring to Fig.1, the present embodiment comprises an exclusive-OR circuit 1, a two-input AND circuit 2 for

receiving an output signal of the exclusive-OR circuit 1, another two-input AND circuit 3, and a two-input OR circuit 4 for receiving output signals of these two AND circuit 2 and AND circuit 3.

5

[0009]

One of the input terminals of the exclusive-OR circuit 1 is connected to a clock signal input terminal 5 and the other input terminal is connected to a clock signal input terminal 6. To the clock signal input terminal 5, an external clock signal CLK1 for memory access to be used in a normal operation of a memory is inputted, and to the clock signal input terminal 6, a clock signal CLK2 for burn-in is inputted from outside of the chip via another pin.

15

[0010]

One of the input terminals of the two-input AND circuit 2 is connected to the output terminal of the exclusive-OR circuit 1 and the other input terminal is connected to a test signal input terminal 7. To the test signal input terminal 7, a burn-in mode setting signal BTM to be generated on the chip is inputted. The burn-in mode setting signal BTM is also used in a conventional semiconductor storage device to indicate whether the semiconductor storage device is in a normal operation mode or in a burn-in mode by detecting the change in power source voltage. This is possible because the power source voltage is raised higher than that in a normal operation when burn-in of a semiconductor storage device is conducted. In the present embodiment, the burn-in mode setting signal BTM changes to the low level at the time of a normal operation and changes to the high level at the time of burn-in.

25

30

35

[0011]

In the present embodiment, whether a semiconductor

storage device is in a burn-in mode or not is judged according to the level of the burn-in mode setting signal BTM inputted to the test signal input terminal 7. When the semiconductor storage device is not in a burn-in mode, a memory is accessed by using the clock signal CLK1 inputted to the clock input signal terminal 5 as an output clock signal CLK3 as it is. On the other hand, when the semiconductor storage device is in a burn-in mode, a memory is accessed by outputting the clock signal CLK3, the frequency of which has been increased higher than that in a normal operation by performing the logical operation of exclusive-OR of the clock signal CLK1 and the clock signal CLK2. In the present embodiment, the memory access frequency is doubled as explained below.

[0012]

The circuit operations in the present embodiment are explained below with reference to the timing chart shown in Fig.1(b). First, in a burn-in mode, the burn-in mode setting signal BTM changes to the high level. As a result, a low level signal is inputted to one of the input terminals of the AND circuit 3, therefore, the AND circuit 3 never fails to output a low level signal regardless of the state of the clock signal CLK1. On the other hand, a high level signal is inputted to one of the input terminals of the AND circuit 2, therefore, the output signal of the exclusive-OR circuit 1 is sent out to the OR circuit 4. Then, a low level signal is inputted to one of the input terminals of the OR circuit 4 from the AND circuit 3, therefore, the output signal of the AND circuit 2, that is, the exclusive-ORed signal of the clock signal CLK1 and the clock signal CLK2, is output as the clock signal CLK3. At this time, if the clock signal CLK1 and the clock signal CLK2 are inputted in a state in which the duty factor is the same, that is, $1/2$, the frequency also is the same, and the phase is different by a half of the pulse width, the clock signal CLK3 whose

frequency is double that of the clock signal CLK2 can be obtained, as shown in Fig.1(b).

[0013]

5 On the other hand, in a normal operation mode, the burn-in mode setting signal BTM changes to the low level. As a result, a low level signal is inputted to one of the input terminals of the AND circuit 2, therefore, the AND circuit 2 never fails to output a low level signal
10 regardless of the state of the output signal of the exclusive-OR circuit 1. On the other hand, a high level signal is inputted to one of the input terminals of the AND circuit 3 as a result, therefore, the clock signal CLK1 is sent out to the OR circuit 4. Then, a low level
15 signal of the AND circuit 2 is inputted to one of the input terminals of the OR circuit 4, therefore, the output signal of the OR circuit 3, that is, the clock signal CLK1, is output as the clock signal CLK3.

20 [0014]

According to the present embodiment, as described above, it is possible to conduct burn-in with a frequency higher than that of the clock signal CLK1 and the clock signal CLK2 by switching the frequency to another in accordance
25 with the potential level of the burn-in mode setting signal BTM.

[0015]

Next, a second embodiment of the present invention is
30 described below. Fig.2(a) is a block diagram showing the configuration of the second embodiment of the present invention. Referring to Fig.2(a), the present embodiment differs from the first embodiment in the input signal to the AND circuit 2. In the present embodiment, instead of
35 the output signal of the exclusive-OR circuit 1 shown in Fig.1(a), a clock signal OSC from an oscillation circuit 8 is inputted to the input terminal of the AND circuit 2,

therefore, either one of the clock signal CLK1 and the clock signal OSC is output as the clock signal CLK3 in accordance with the potential level of the burn-in mode setting signal BTM by the circuit operations similar to those in the first embodiment. Therefore, as shown in Fig.2(b), if the frequency of the clock signal OSC from the oscillation circuit 8 is set higher than the frequency of the clock signal CLK1, it is possible to efficiently conduct a test with an increased clock frequency at the time of a burn-in operation. A semiconductor storage device is normally provided with a built-in oscillation circuit on its chip, which oscillation circuit generates a clock signal whose frequency is higher than that of the external clock signal CLK1 for memory access, therefore, if the oscillation circuit is used, it is not necessary to additionally provide an oscillation circuit for embodying the present invention and the number of clock signals that need to be inputted from the outside can be reduced.

20

[0016]

[Effect of the invention]

As described above, the semiconductor storage device of the present invention comprises a circuit capable of accessing data corresponding to two or more words during one cycle of the external clock by switching the frequency of the memory access clock to a higher one at the time of a burn-in operation.

25

30 [0017]

Due to this, even if a memory is increased in capacity, it is possible to apply the same stress as before to a unit bit with the same period of time for a burn-in operation as the current one.

35

[BRIEF DESCRIPTION OF THE DRAWINGS]

Fig.1(a) is a block diagram showing the configuration of

the first embodiment of the present invention.
Fig.1(b) is a diagram showing the timing chart for
explaining the operations in the embodiment shown in
Fig.1(a).

5 Fig.2(a) is a block diagram showing the configuration of
the second embodiment of the present invention.
Fig.2(b) is a diagram showing the timing chart for
explaining the operations in the embodiment shown in
Fig.2(a).

10

[Explanations of letters or numerals]

1 ... exclusive-OR circuit
2, 3 ... AND circuit
4 ... OR circuit
15 5,6 ... clock signal input terminal
7 ... test signal input terminal
8 ... oscillation circuit